

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

14353423

Basic Patent (No,Kind,Date): JP 10125783 A2 980515 <No. of Patents: 001>

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: SONY CORP

Author (Inventor): TAGUCHI MITSURU; HASEGAWA TOSHIAKI

IPC: #H01L-021/768; H01L-021/304; H01L-021/316

CA Abstract No: #129(03)035299P; 129(03)035299P

Derwent WPI Acc No: #C 98-339388; C 98-339388

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 10125783	A2	980515	JP 96293380	A	961015 (BASIC)

Priority Data (No,Kind,Date):

JP 96293380 A 961015

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05842683 **Image available**

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

PUB. NO.: 10-125783 [JP 10125783 A]

PUBLISHED: May 15, 1998 (19980515)

INVENTOR(s): TAGUCHI MITSURU
 HASEGAWA TOSHIAKI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 08-293380 [JP 96293380]

FILED: October 15, 1996 (19961015)

INTL CLASS: [6] H01L-021/768; H01L-021/304; H01L-021/316

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 14.2 (ORGANIC
 CHEMISTRY -- High Polymer Molecular Compounds)

JAPIO KEYWORD:R004 (PLASMA)

ABSTRACT

PROBLEM TO BE SOLVED: To form a buried wiring in an interlayer insulating film made of organic material without breaking the interlayer insulating film.

SOLUTION: An interlayer insulating film 4 made of low dielectric constant organic material such as fluorocarbon polymer, polyarylfuoride ether, polyimide fluoride, polyparaxylene, etc., is formed so as to cover a lower layer Al alloy wiring 3 which is formed on an Si substrate 1 with an interlayer insulating film 2 therebetween. After a contact hole 5 and a wiring groove 6 are formed in the interlayer insulating film 4, a TiN/Ti film 7 and an upper layer Al alloy film 8 are successively formed over the whole surface of the Si substrate 1. Then the upper layer Al alloy film 8 is made to reflow by a high pressure reflow method at, for instance, 420 deg.C to fill the contact hole 5 and the wiring groove 6. After that, the unnecessary TiN/Ti film 7 and upper layer Al alloy film 8 on the parts other than the contact hole 5 and the wiring groove 6 are removed by polishing to form a groove wiring which is buried in the contact hole 5 and

the wiring groove 6, and is electrically connected to the lower layer Al alloy wiring 3.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125783

(43) 公開日 平成10年(1998) 5月15日

(51) Int. Cl. ⁶

識別記号

F I

H01L 21/768

H01L 21/90

B

21/304

321

21/304

321

S

21/316

21/316

P

21/90

S

審査請求 未請求 請求項の数 6 F D (全 6 頁)

(21) 出願番号

特願平8-293380

(22) 出願日

平成8年(1996)10月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 田口 充

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 長谷川 利昭

東京都品川区北品川6丁目7番35号 ソニー株式会社内

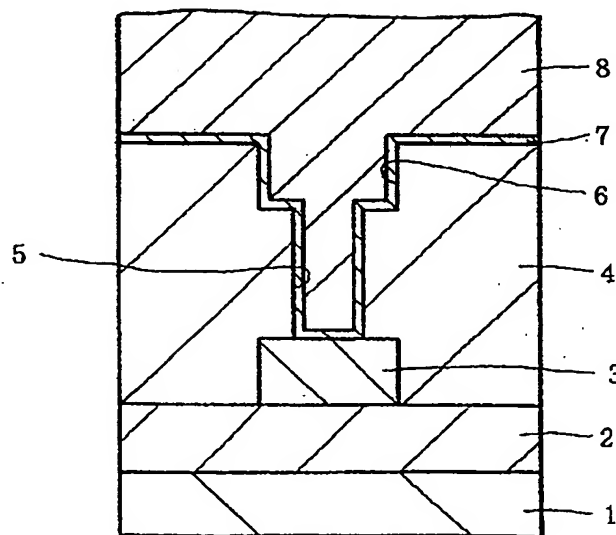
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 有機材料からなる層間絶縁膜に、この層間絶縁膜を破壊することなく埋め込み配線を形成することができる半導体装置の製造方法を提供する。

【解決手段】 Si基板1上に層間絶縁膜2を介して形成された下層Al合金配線3を覆うように、フルオロカーボンポリマー、フッ化ポリアリルエーテル、フッ化ポリイミド、ポリバラキシリレンなどの低誘電率の有機材料からなる層間絶縁膜4を成膜する。次に、この層間絶縁膜4に接続孔5および配線溝6を形成した後、Si基板1の全面にTiN/Ti膜7および上層Al合金膜8を順次成膜する。次に、例えば420℃で高圧リフロー法により上層Al合金膜8をリフローさせて接続孔5および配線溝6の内部を埋め込む。この後、接続孔5および配線溝6以外の部分の不要なTiN/Ti膜7および上層Al合金膜8を研磨により除去し、接続孔5および配線溝6に埋め込まれ、下層Al合金配線3にコンタクトした溝配線を形成する。



【特許請求の範囲】

【請求項1】 有機材料からなる層間絶縁膜に埋め込み配線を形成するようにした半導体装置の製造方法において、

高圧リフロー法を用いて上記埋め込み配線を形成するようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 上記高圧リフロー法による上記埋め込み配線形成用の配線材料の埋め込み時の温度は上記有機材料の耐熱温度よりも少なくとも20℃低いことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記有機材料の比誘電率は3以下であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 上記有機材料はフルオロカーボンポリマー、フッ化ポリアリルエーテル、フッ化ポリイミドまたはポリバラキシリレンであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 上記フルオロカーボンポリマーはポリテトラフルオロエチレンであることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 上記埋め込み配線はアルミニウム、銅、銀、金またはそれらの合金からなることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、特に、有機材料からなる層間絶縁膜に埋め込み配線を形成する半導体装置の製造に適用して好適なものである。

【0002】

【従来の技術】半導体装置の高集積化、低消費電力化および高速化の要求に伴い、内部配線を取り囲む層間絶縁膜の低誘電率化が重要な課題となっている。この課題を解決する低誘電率材料として現在、フルオロカーボンポリマー、フッ化ポリイミド、ポリバラキシリレン（バリレン）などの有機材料が検討されている。これらの有機材料は、炭素原子（いわゆるアルキル基）を含ませることで材料の密度を下げ、かつ分子の分極率を低下させることにより、2.0程度の低い比誘電率を実現している。

【0003】一方、最近、配線の微細化および層間絶縁膜の平坦化を簡便なプロセスにより実現することができる方法として、いわゆる溝配線技術が検討されている。この溝配線とは、あらかじめ層間絶縁膜に所定の配線溝を形成し、この配線溝の内部にAl合金やCuなどの配線材料を埋め込みながら成膜し、化学機械研磨（Chemical Mechanical Polish, CMP）法により研磨を行って配線溝以外の部分に堆積した不要部分の配線材料を除去して配線溝内のみ配線材料を残し、これを配線とする方法である。

【0004】この溝配線技術ではとりわけ、微細な配線溝に配線材料を良好に埋め込む技術が重要である。その方法としては、Al合金やCuなどの配線材料の高温スパッタ法、スパッタ後のリフロー法などが検討されている。これらの高温スパッタ法およびリフロー法は、従来より配線形成に用いられてきたスパッタ法をベースとした技術であり、その高生産性、安定性、簡便性などの点で有利である。

【0005】このため、上述の低誘電率有機材料からなる層間絶縁膜に配線溝を形成し、この配線溝に高温スパッタ法やリフロー法などにより配線材料を埋め込んで溝配線を形成する方法は、半導体装置の高集積化、高速化などを低コストで実現することができる方法として有望である。

【0006】

【発明が解決しようとする課題】しかしながら、高温スパッタ法やリフロー法などによる配線溝の埋め込みと上述の低誘電率有機材料からなる層間絶縁膜とを組み合わせた場合には、次のような問題が生じる。すなわち、高温スパッタ法やリフロー法などによりAl合金やCuなどの配線材料の埋め込みを行うためには、通常、500～550℃以上の高温加熱が必要である。一方、上述の低誘電率有機材料の耐熱温度は概ね450℃程度である。このため、高温スパッタ法やリフロー法などによる配線材料の埋め込み時の加熱により、低誘電率有機材料からなる層間絶縁膜が分解し、破壊されてしまうという問題が生じる。

【0007】以上のような理由により、埋め込み配線の形成において、フルオロカーボンポリマーなどの低誘電率有機材料により層間絶縁膜を形成した場合においても、この層間絶縁膜を破壊することなく、配線材料を配線溝に良好に埋め込むことができ、埋め込み配線を形成することができる技術が望まれていた。

【0008】したがって、この発明の目的は、有機材料からなる層間絶縁膜に、この層間絶縁膜を破壊することなく埋め込み配線を形成することができる半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、この発明は、有機材料からなる層間絶縁膜に埋め込み配線を形成するようにした半導体装置の製造方法において、高圧リフロー法を用いて埋め込み配線を形成するようにしたことを特徴とするものである。

【0010】この発明において、高圧リフロー法による埋め込み配線形成用の配線材料の埋め込み時の温度は、好適には、層間絶縁膜を構成する有機材料の耐熱温度よりも少なくとも20℃低く選ばれる。

【0011】この発明において、層間絶縁膜を構成する有機材料の比誘電率は、典型的には3以下である。このような有機材料としては、例えば、フルオロカーボンポ

リマー（比誘電率 2.0）、フッ化ポリアリルエーテル（比誘電率 2.5）、フッ化ポリイミド（比誘電率 2.6）、ポリバラキシリレン（比誘電率 2.5）などが挙げられる。フルオロカーボンポリマーは、具体的には例えばポリテトラフルオロエチレンである。この発明において、埋め込み配線は、例えば、アルミニウム（Al）、銅（Cu）、銀（Ag）、金（Au）またはそれらの合金からなる。

【0012】この発明においては、高圧リフロー時の層間絶縁膜からの脱ガスを防止し、配線材料の埋め込み特性を良好にする観点から、好適には、有機材料からなる層間絶縁膜の表面に窒化処理を施した後に埋め込み配線を形成する。

【0013】上述のように構成されたこの発明による半導体装置の製造方法によれば、高圧リフロー時のプロセス温度は 450℃以下とすることが可能であるため、耐熱温度が 450℃程度である低誘電率有機材料により層間絶縁膜を形成した場合においても、この層間絶縁膜を分解などにより破壊することなく、埋め込み配線を形成することができる。

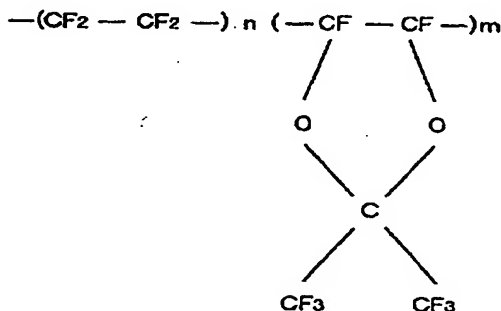
【0014】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0015】図 1～図 6 はこの発明の第 1 の実施形態による半導体装置の製造方法を工程順に示す。この第 1 の実施形態による半導体装置の製造方法においては、まず、図 1 に示すように、あらかじめ素子（図示せず）が形成された Si 基板 1 上に例えば SiO₂ 膜のような層間絶縁膜 2 を介して例えば Al-0.5%Cu のような Al 合金からなる下層 Al 合金配線 3 を形成する。

【0016】次に、図 2 に示すように、Si 基板 1 の全面に例えば化学構造式

【化 1】



で表されるポリテトラフルオロエチレンからなる膜厚が例えば 500 nm の層間絶縁膜 4 を成膜する。このポリテトラフルオロエチレンからなる層間絶縁膜 4 の成膜は、具体的には例えば次のようにして行う。すなわち、まず、このポリテトラフルオロエチレンをフルオロカーボン系の溶媒に溶かし、粘性を 30 c p に調整した後、

これをスピンコーターで基板上に回転塗布し、膜厚 500 nm の薄膜を形成する。このときの回転数は例えば 3000 rpm とする。引き続いて、不活性ガスである N₂ ガスを雰囲気ガスとして用い、100℃、大気圧の条件でベーキング（キュア）を 2 分間行い、溶媒を蒸発させる。なお、このベーキングの雰囲気ガスとしては、N₂ ガスの代わりに Ar ガスや He ガスなどを用いてもよい。次に、例えば N₂ ガスを雰囲気ガスとして用い、300℃、大気圧の条件で熱処理を行い、層間絶縁膜 4 を固化する。

【0017】次に、図 3 に示すように、フォトリソグラフィプロセスおよびエッチングプロセスにより、下層 Al 合金配線 3 の上の部分の層間絶縁膜 4 に接続孔 5 および配線溝 6 を形成する。これらの接続孔 5 および配線溝 6 はいずれを先に形成してもよい。

【0018】次に、例えば Ar スパッタエッチングにより、接続孔 5 の底部の下層 Al 合金配線 3 の表面に形成された酸化膜（図示せず）を除去する。次に、図 4 に示すように、例えば DC マグネトロンスパッタ法により、膜厚が例えば 20 nm の Ti 膜および膜厚が例えば 50 nm の TiN 膜を順次成膜して TiN/Ti 膜 7 を形成する。ここで、この Ti 膜の成膜におけるスパッタ条件の一例を挙げると、プロセスガスとして Ar ガスを用い、その流量を 100 s c c m とし、圧力を 0.4 Pa、DC パワーを 6 kW、基板温度を 300℃とする。また、この TiN 膜の成膜におけるスパッタ条件の一例を挙げると、プロセスガスとして Ar と N₂ との混合ガスを用い、それらの流量をそれぞれ 20 s c c m および 70 s c c m とし、圧力を 0.4 Pa、DC パワーを 12 kW、基板温度を 300℃とする。

【0019】引き続いて、DC マグネトロンスパッタ法により、TiN/Ti 膜 7 上に例えば Al-0.5%Cu 合金からなる膜厚が例えば 1 μm の上層 Al 合金膜 8 を成膜する。このとき、この上層 Al 合金膜 8 は、接続孔 5 および配線溝 6 の内部に空洞（ボイド）が残された、いわゆるブリッジ形状となるようにする。この上層 Al 合金膜 8 の成膜におけるスパッタ条件の一例を挙げると、プロセスガスとして Ar ガスを用い、その流量を 100 s c c m とし、圧力を 0.4 Pa、DC パワーを 15 kW、基板温度を 300℃とする。

【0020】次に、図 5 に示すように、高圧リフロー法により、上層 Al 合金膜 8 をリフローさせて、接続孔 5 および配線溝 6 の内部に Al 合金を充填するとともに、上層 Al 合金膜 8 の表面平坦化を行う。この高圧リフローの条件の一例を挙げると、プロセスガスとして Ar ガスを用い、圧力を 7 × 10¹ Pa、リフロー時間を 1 分、基板温度を 420℃とする。ここで、この高圧リフロー時のプロセス温度はこのように 420℃であり、ポリテトラフルオロエチレンからなる層間絶縁膜 4 の耐熱温度（450℃程度）よりも十分に低いので、この層間

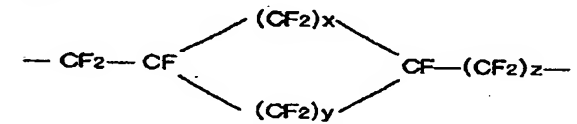
絶縁膜4の分解を起こすことなく、高圧リフローにより配線材料である上層A1合金膜8を接続孔5および配線溝6の内部に良好に埋め込むことができる。なお、上述のArスパッタエッチングから高圧リフローまでの一連の処理は、好適には、マルチチャンバー型の処理装置を用いて真空中で連続的に行う。

【0021】次に、例えばCMP法により、接続孔5および配線溝6以外の部分に堆積した不要部分の上層A1合金膜8およびTiN/Ti膜7を研磨して除去し、接続孔5および配線溝6の内部にのみ上層A1合金膜8を残す。このCMP法による研磨の条件の一例を挙げると、NH₄OHベースでフォームドシリカ含有のスラリーを用い、その流量を100cc/minとし、研磨圧力を100g/cm²、研磨温度を25~30℃とし、定盤および研磨ヘッドの回転数をともに30rpmとする。以上により、図6に示すように、接続孔5および配線溝6に埋め込まれ、下層A1合金配線3とコンタクトしたA1合金からなる溝配線9が形成される。

【0022】以上のように、この第1の実施形態によれば、配線材料としての上層A1合金膜8を接続孔5および配線溝6の内部に埋め込むためにプロセス温度が420℃と、層間絶縁膜4を構成するポリテトラフルオロエチレンの耐熱温度(450℃程度)よりも十分に低い高圧リフロー法を用いていることにより、この層間絶縁膜4の分解などによる破壊を招くことなく、接続孔5および配線溝6の内部に上層A1合金膜8を良好に埋め込むことができる。そして、この上層A1合金膜8をCMP法で研磨することにより、溝配線9を良好に形成することができる。以上により、高集積、低消費電力および高

速の半導体装置を低コストで製造することができる。

【0023】次に、この発明の第2の実施形態について説明する。この第2の実施形態による半導体装置の製造方法においては、第1の実施形態と同様にしてSi基板1上に下層A1合金配線3まで形成した後、この下層A1合金配線3を覆うように例えば化学構造式

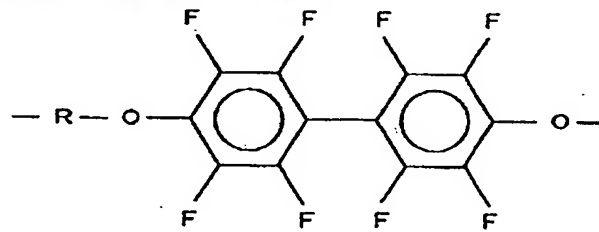


で表されるポリテトラフルオロエチレンからなる膜厚が例えば500nmの層間絶縁膜4を成膜する。このポリテトラフルオロエチレンからなる層間絶縁膜4の成膜法は、最後に行われる固化のための熱処理の温度を350℃とすることを除いて、第1の実施形態と同様である。この後、第1の実施形態と同様にして接続孔5および配線溝6の形成以降の工程を進めて、接続孔5および配線溝6に埋め込まれ、下層A1合金配線3とコンタクトしたA1合金からなる溝配線9を形成する。

【0024】この第2の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0025】次に、この発明の第3の実施形態について説明する。この第3の実施形態による半導体装置の製造方法においては、第1の実施形態と同様にしてSi基板1上に下層A1合金配線3まで形成した後、この下層A1合金配線3を覆うように例えば化学構造式

【化3】



で表されるフッ化ポリアリルエーテルからなる膜厚が例えば500nmの層間絶縁膜4を成膜する。このフッ化ポリアリルエーテルからなる層間絶縁膜4の成膜法は、最後に行われる固化のための熱処理の温度を350℃とすることを除いて、第1の実施形態と同様である。この後、第1の実施形態と同様にして接続孔5および配線溝6の形成以降の工程を進めて、接続孔5および配線溝6に埋め込まれ、下層A1合金配線3とコンタクトしたA1合金からなる溝配線9を形成する。

【0026】この第3の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0027】次に、この発明の第4の実施形態について説明する。この第4の実施形態による半導体装置の製造方法においては、第1の実施形態と同様にしてSi基板

1上に下層A1合金配線3まで形成した後、この下層A1合金配線3を覆うように例えばフッ化ポリイミド(ポリイミドにフルオロカーボン材料を混合したもの)からなる膜厚が例えば500nmの層間絶縁膜4を成膜する。このフッ化ポリイミドからなる層間絶縁膜4の成膜法は、最後に行われる固化のための熱処理の温度を350℃とすることを除いて、第1の実施形態と同様である。この後、第1の実施形態と同様にして接続孔5および配線溝6の形成以降の工程を進めて、接続孔5および配線溝6に埋め込まれ、下層A1合金配線3とコンタクトしたA1合金からなる溝配線9を形成する。

【0028】この第4の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0029】次に、この発明の第5の実施形態について

説明する。この第5の実施形態による半導体装置の製造方法においては、第1の実施形態と同様にしてSi基板1上に下層Al合金配線3まで形成した後、この下層Al合金配線3を覆うように例えばポリパラキシリレンからなる膜厚が例えば500nmの層間絶縁膜4を成膜する。このポリパラキシリレンからなる層間絶縁膜4の成膜には、例えば減圧CVD法を用いる。この減圧CVD法による成膜は、具体的には、例えば、原料にジパラキシリレンを用い、200℃に加熱することによりこの原料を昇華させ、Si基板1上への移送途中で650℃に加熱することによりこの原料をキシリレンモノマーに分解し、150℃でSi基板1上に導入することにより行う。この後、第1の実施形態と同様にして接続孔5および配線溝6の形成以降の工程を進めて、接続孔5および配線溝6に埋め込まれ、下層Al合金配線3とコンタクトしたAl合金からなる溝配線9を形成する。

【0030】この第5の実施形態によっても、第1の実施形態と同様な利点を得ることができる。

【0031】次に、この発明の第6の実施形態について説明する。この第6の実施形態による半導体装置の製造方法においては、図7に示すように、第1の実施形態と同様なポリテトラフルオロエチレンからなる層間絶縁膜4の途中に挿入された状態で、例えばプラズマCVD法などにより例えばSiO₂系の膜やSiN膜などの層間絶縁膜4のエッチング時にエッチング耐性のある材料からなるエッチングストップ層10を成膜し、その後に層間絶縁膜4に接続孔5および配線溝6を形成する。このとき、配線溝6を形成するためのエッチング時に、エッチングストップ層10を用いる。この後、第1の実施形態と同様にしてTiN/Ti膜7の成膜以降の工程を進めて、接続孔5および配線溝6に埋め込まれ、下層Al合金配線3とコンタクトしたAl合金からなる溝配線9を形成する。

【0032】この第6の実施形態によれば、第1の実施形態と同様な利点を得ることができるほか、層間絶縁膜4の途中に成膜されたエッチングストップ層10により、所望の深さの配線溝6を良好な制御性で容易に形成することができるという利点を得ることもできる。

【0033】次に、この発明の第7の実施形態について説明する。この第7の実施形態による半導体装置の製造方法においては、図8に示すように、第1の実施形態と同様にしてポリテトラフルオロエチレンからなる層間絶縁膜4に接続孔5および配線溝6を形成した後、この層間絶縁膜4の表面を窒化処理することにより窒化層11を形成する。この窒化処理には、例えば電子サイクロトロン(ECR)法によるプラズマ窒化法を用いる。このプラズマ窒化処理の条件の一例を挙げると、プロセスガスとしてH₂とNH₃とArとの混合ガスを用い、それらの流量をそれぞれ30sccm、8sccmおよび170sccmとし、圧力を0.23Pa、マイクロ波パ

ワーを2800Wとし、基板温度を400℃とする。なお、NH₃の代わりにN₂を用いてもよい。この後、第1の実施形態と同様にしてTiN/Ti膜7の成膜以降の工程を進めて、接続孔5および配線溝6に埋め込まれ、下層Al合金配線3とコンタクトしたAl合金からなる溝配線9を形成する。

【0034】この第7の実施形態によれば、第1の実施形態と同様な利点を得ることができるほか、接続孔5および配線溝6を形成した後に層間絶縁膜4の表面に窒化層11を形成していることにより、その後に行われる高圧リフロー時に層間絶縁膜4からの水分などの脱ガスを防止することができ、このため高圧リフローによる上層Al合金膜8の埋め込み特性をより安定化させることができるという利点を得ることもできる。

【0035】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0036】例えば、上述の第1～第7の実施形態において挙げた膜厚、成膜条件、高圧リフロー条件、CMP条件などはあくまでも例に過ぎず、これらと異なる膜厚や条件を用いてもよい。

【0037】また、上述の第1～第7の実施形態において用いたTiN/Ti膜7の代わりに、Ti単層膜、TiN単層膜、Ti/TiN/Ti膜などを用いてもよい。さらに、これらのTi膜やTiN膜の成膜にはCVD法を用いることもできる。このCVD法としては、具体的には、ECRプラズマCVD法、熱CVD法、有機金属化学気相成長(MOCVD)法などを用いることができる。

【0038】また、上述の第1～第7の実施形態においては、配線材料としてAl-0.5%Cuを用いたが、配線材料としては、Al-Si、Al-Si-Cu、Al-Geなどを用いることもできる。さらに、上述の第7の実施形態においては、ECRプラズマ窒化法によりプラズマ窒化処理を行っているが、このプラズマ窒化処理は、平行平板方式やマグネトロン方式の装置を用いたプラズマ窒化処理法により行ってもよい。

【0039】また、上述の第1の実施形態において、下層Al合金配線3を溝配線としてもよい。さらにまた、上述の第1～第7の実施形態においては、下層Al合金配線3上に上層配線である溝配線9をコンタクトさせる場合について説明したが、この発明は、例えばSi基板1中に形成された拡散層に溝配線9をコンタクトさせる場合に適用することもできる。

【0040】

【発明の効果】以上説明したように、この発明による半導体装置の製造方法によれば、高圧リフロー法を用いて埋め込み配線を形成するようにしているので、有機材料からなる層間絶縁膜に、この層間絶縁膜を破壊すること

なく埋め込み配線を形成することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図2】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図3】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図4】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図5】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図6】この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

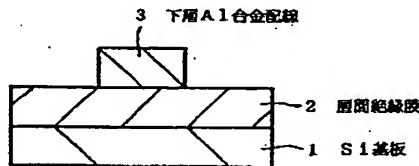
【図7】この発明の第6の実施形態による半導体装置の製造方法を説明するための断面図である。

【図8】この発明の第7の実施形態による半導体装置の製造方法を説明するための断面図である。

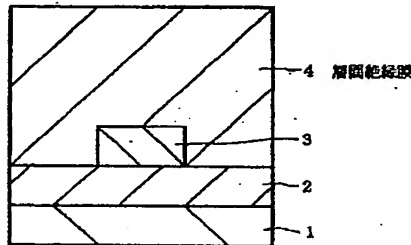
【符号の説明】

1・・・Si基板、3・・・下層Al合金配線、4・・・層間絶縁膜、5・・・接続孔、6・・・配線溝、8・・・上層Al合金膜、9・・・溝配線、10・・・エッチングストップ層、11・・・窒化層

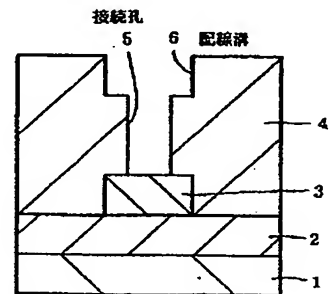
【図1】



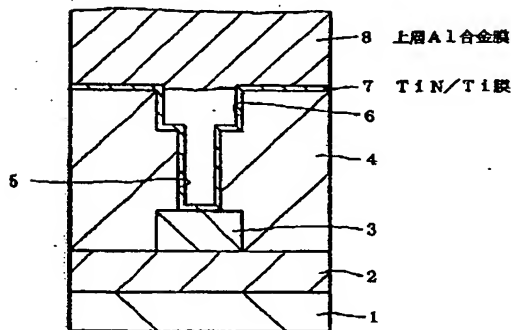
【図2】



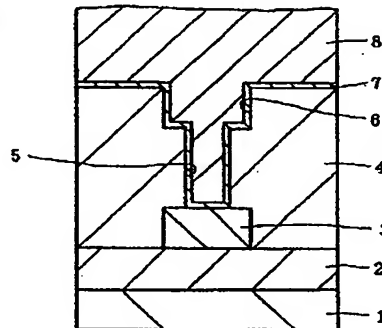
【図3】



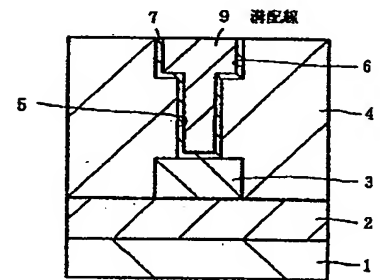
【図4】



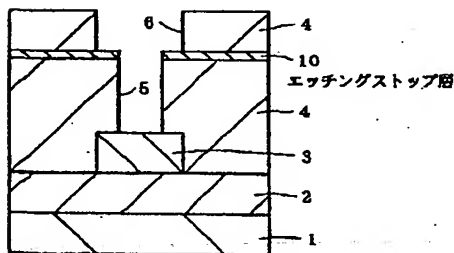
【図5】



【図6】



【図7】



【図8】

